Prof. dr hab. inż. Andrzej Napieralski

tytuł, stopień, imię i nazwisko

Katedra Mikroelektroniki i Technik Informatycznych
Politechnika Łódzka

miejsce pracy

Łódź, dn. 07.07.2019 r.

data

KWESTIONARIUSZ-RECENZJA ROZPRAWY DOKTORSKIEJ DLA RADY WYDZIAŁU INFORMATYKI, ELEKTRONIKI i TELEKOMUNIKACJI AKADEMII GÓRNICZO-HUTNICZEJ im. STANISŁAWA STASZICA w KRAKOWIE

Tytuł rozprawy: ***"Implementacja mechanizmów wyszukujących wzorce do akceleracji przetwarzania pakietów sieci Ethernet w układach rekonfigurowalnych FPGA"***

Autor rozprawy: **mgr inż.** ***Grzegorz Sułkowski***

1. Jakie zagadnienie naukowe jest rozpatrzone w pracy /teza rozprawy/ i czy zostało ono dostatecznie jasno sformułowane przez Autora? Jaki charakter ma rozprawa (teoretyczny, doświadczalny, inny)?

Praca jest poświęcona bardzo istotnemu w dzisiejszych czasach zagadnieniu jakim jest bezpieczeństwo w systemach sieciowych. Autor proponuje w niej architekturę sprzętowego modułu kontrolującego ruch sieciowy, tzw. klasyfikatora pakietów sieciowych, znanego powszechnie pod nazwą „firewall". Charakterystycznym dla zaproponowanego rozwiązania jest przede wszystkim to, że wykorzystuje ono zmodyfikowany przez Autora algorytm Aho-Corasick wyszukujący wzorce z symbolami wieloznacznymi. Drugą istotną cechą charakterystyczną dla opracowanego modułu jest to, że jest on zaimplementowany w scalonym układzie rekonfigurowalnym typu FPGA.

Głównym celem przyświecającym Autorowi w jego pracy jest uzyskanie jak największej przepustowości (szybkości przetwarzania) opracowanego modułu, przy jednoczesnym zachowaniu jego elastyczności. Stąd wybór technologii FPGA oraz wybór algorytmu, który poprzez możliwość przeszukiwania wielu wzorców jednocześnie pozwala na zrównoleglenie, a tym samym na znaczne przyspieszenie przetwarzania pakietów. Dodatkowe przyspieszenie osiągane jest poprzez buforowanie wybranych arbitralnie danych ze sklasyfikowanych wcześniej pakietów i wykorzystanie zdobytej na tej podstawie wiedzy do przyśpieszenia procesu wyszukiwania wzorców dla pakietów odbieranych w przyszłości.

Elastyczność zaproponowanego rozwiązania wynika m.in. z faktu, że zastosowany algorytm pozwala na używanie we wzorcach symboli wieloznacznych. Dodatkowo jest ona zwiększona poprzez zaproponowane przez Autora rozszerzenie użytego algorytmu, pozwalające by symbole wieloznaczne występowały również na początku (a nie tylko na końcu) analizowanego wzorca adresacji sieciowej.

Praca ma charakter teoretyczno-praktyczny, tzn. Autor stawia pewien problem do rozwiązania (chodzi o duże obciążenie systemów realizujących funkcje ochronne dla systemów teleinformatycznych), pokazuje w sposób praktyczny jak ten problem rozwiązać (tzn. bazując na odpowiednich podstawach teoretycznych projektuje dedykowane urządzenie do klasyfikowania pakietów sieciowych) po czym w sposób teoretyczny wykazuje efektywność swojego rozwiązania.

Teza rozprawy jest dość skomplikowana i aby ułatwić jej percepcję, na potrzeby niniejszej recenzji zostanie rozłożona na prostsze elementy.

Przy okazji, w ten sposób nie zostanie powielony błąd językowy, od którego niestety teza nie jest wolna, o czym jest mowa w dalszej części niniejszej recenzji.

Otóż, Autor twierdzi, że gdyby:

w1. w układzie FPGA zaimplementować mechanizmy wyszukujące wzorce, przy czym

w2. jako sposób wyszukiwania wykorzystać algorytm Aho-Corasick a

w3. w procesie wyszukiwania wykorzystać pamięci CAM i

w4. gdyby taką implementację potraktować jako system zabezpieczeń typu firewall i

w5. wykorzystać ten system w sieci Ethernet o wielkich przepływnościach,

to takie rozwiązanie pozwoliłoby na znaczne przyśpieszenie przetwarzania pakietów.

Purysta językowy zapewne zgłosiłby kilka zastrzeżeń zarówno do pierwotnej wersji tezy jak i do jej tłumaczenia z języka formalnego na ogólnie zrozumiały. Purysta taki mógłby bowiem zapytać np.:

1. O jakie wykorzystanie pamięci CAM chodzi (patrz: warunek w3)? Czy można taką pamięć użyć w sposób dowolny czy też może należy ją zastosować na potrzeby dobrze przemyślanej implementacji pamięci cache (jak to jest w pracy)?

2. Co w przypadku sieci o niewielkich przepływnościach (patrz: warunek w5)? Gdzie przebiega granica pomiędzy wielkimi i niewielkimi przepływnościami.

3. I na koniec: jeżeli jest mowa o „przyśpieszaniu przetwarzania pakietów", to względem czego to przyśpieszenie jest mierzone?

Purysta językowy pewnie by z tych pytań nie zrezygnował. Jednakże Autor tej recenzji doskonale rozumie trudności w budowaniu zwięzłych i jednoznacznych tez, dlatego podchodzi do zaproponowanej w pracy tezy w sposób mniej literalny i rozumiejąc „co Autor miał na myśli" stwierdza, że teza pracy została udowodniona w rozdziale 5, w którym prezentowane są estymacje szybkości działania zaproponowanego przez Autora systemu.

2. Czy w rozprawie przeprowadzono w sposób właściwy analizę źródeł /w tym literatury światowej, stanu wiedzy i zastosowań w przemyśle/ świadczący o dostatecznej wiedzy Autora? Czy wnioski z przeglądu źródeł sformułowano w sposób jasny i przekonujący?

Analiza aktualnego stanu wiedzy w zakresie, jakiego dotyczy praca, to jeden z mocniejszych jej punktów. Opisem wybranych przez Autora algorytmów wyszukiwania wzorców (zawartym w rozdziale 2.), szczegółową taksonomią klasyfikatorów pakietów sieciowych (wprowadzoną w rozdziale 3.) oraz przykładami opartych o układy FPGA systemów wyszukiwania wzorców (przytoczonymi w rozdziale 4.) Autor dowodzi swojej dużej biegłości w temacie oraz znacznego doświadczenia praktycznego.

Autor odwołuje się w rozprawie do 104 pozycji literaturowych, z czego część z nich to referencje do materiałów dostępnych w Internecie. Niestety, kilka z nich w momencie opracowywania niniejszej recenzji było już niestety niedostępnych pod podanymi w dysertacji adresami ale trudno o to winić samego Autora. Niemniej jednak już z ich opisu można było cytowane materiały odnaleźć pod innymi adresami (dotyczy to np. pozycji [23], [24],[26]).

Część z cytowanych materiałów to pozycje z lat 80-tych i 90-tych ubiegłego stulecia ale ponieważ dotyczą one podstaw teoretycznych czy też od dawna znanych protokołów transmisji, powoływanie się na nie jest w pełni uzasadnione. Tam, gdzie cytowanie dotyczy tematyki wymagającej aktualności (np. raporty nt. zagrożeń sieciowych), cytowane pozycje są dostatecznie aktualne (2013-2016 r.).

Czas powstania większości cytowanych materiałów przypada na pierwszą dekadę obecnego stulecia. Jest to prawdopodobnie okres najbardziej wzmożonych poczynań naukowych Autora dysertacji, gdyż właśnie w tym okresie powstały wszystkie cytowane przez niego jego własne publikacje. Jest ich 7, z czego 6 znajduje się w materiałach organizowanych w Polsce (w latach 2007-2009) konferencji naukowych a 7. pozycja (z 2009 r.) to artykuł w renomowanym czasopiśmie Journal of Applied Computer Science (według ministerialnego wykazu z roku 2017 czasopismo znajduje się na liście B a publikacja jest warta 10 punktów). Warto zaznaczyć, że Autor dysertacji jest jednocześnie pierwszym Autorem swoich wszystkich 7 cytowanych publikacji.

3. Czy Autor rozwiązał przedstawione zagadnienia, czy użył właściwej do tego metody i czy przyjęte założenia są uzasadnione?

Stawiając sobie za cel opracowanie urządzenia zwiększającego bezpieczeństwo w sieci teleinformatycznej przy jednoczesnym odciążeniu pracujących w tej sieci serwerów, Autor narzucił sobie szereg zadań, z których w pełni się wywiązał.

W pierwszej kolejności zaproponował opracowanie wydajnego i elastycznego klasyfikatora pakietów sieciowych. Po określeniu wymagań, jakie powinien spełniać taki klasyfikator, aby zapewnić szybkość przetwarzania, Autor zaproponował by był to klasyfikator sprzętowy. Dla uzyskania wspomnianej elastyczności, do budowy klasyfikatora wykorzystana została technologia FPGA. Po przeanalizowaniu szeregu algorytmów stosowanych w tego typu urządzeniach, wybrany został ten, który dawał największe szanse na zrównoleglenie przetwarzania pakietów. W wyniku analizy podobnych rozwiązań określone zostały kolejne wymagania dla projektowanego klasyfikatora, m.in.: obsługa wielowymiarowej polityki bezpieczeństwa (by zwiększyć elastyczność klasyfikatora) oraz eliminacja dostępu do zewnętrznych pamięci (by wyeliminować negatywny wpływ takiego dostępu na wydajność klasyfikatora).

W efekcie Autor zaproponował i zaimplementował hierarchiczną, potokową architekturę klasyfikatora pakietów sieciowych o specjalizowanych jednostkach funkcjonalnych. Na jego potrzeby zaadoptował (tzn. zmodyfikował i rozszerzył) wybrany uprzednio algorytm, przez co stał się on jeszcze bardziej uniwersalny. Moduł realizujący ten algorytm Autor zaprojektował w oparciu o dedykowane zasoby sprzętowe pamięci Block SelectRAM+, które umożliwiają realizację wydajnych maszyn stanowych. Co ciekawe, w ten sposób Autor wpłynął nie tylko na finalną szybkość klasyfikatora, ale również na jego elastyczność, gdyż modyfikacja tak zaprojektowanych maszyn stanowych wymaga jedynie zmiany zawartości pamięci a nie zmiany konfiguracji całego klasyfikatora. Na koniec, aby zmaksymalizować wydajność całego systemu, Autor zaprojektował, zaimplementował i przetestował 4 rodzaje pamięci podręcznej przechowującej rezultaty wcześniejszych klasyfikacji, tak aby mogły one zostać wykorzystane do przyspieszenia przetwarzania przyszłych pakietów.

Na koniec należy dodać, że dla pełniejszej weryfikacji swoich rozwiązań Autor zaprojektował i zaimplementował dedykowane moduły interfejsów sieciowych. W efekcie, zaprojektowany przez Autora system zabezpieczeń sieciowych umożliwia jednoczesną, niezależną i dwukierunkową – zarówno w kierunku odbiorczym jak i nadawczym – klasyfikację ruchu sieciowego a jego wydajność i elastyczność w pełni spełnia przyjęte założenia.

Wykonane przez Autora dysertacji badania, udowodnienie postawionej tezy, komplementarność podejścia do problemu i osiągniętego przez Autora rozwiązania oraz to, że na każdym etapie swojej pracy Autor skupiał się na tym, co zostało założone na początku (czyli wydajność i elastyczność) są dowodem na to, że przyjęta przez niego metoda rozwiązania postawionego przed nim problemu była odpowiednia.

4. Na czym polega oryginalność rozprawy, co stanowi samodzielny i oryginalny dorobek Autora, jaka jest pozycja rozprawy w stosunku do stanu wiedzy czy poziomu techniki reprezentowanych przez literaturę światową?

W dysertacji Autor dość precyzyjnie określił listę swoich oryginalnych, opisanych w niej rozwiązań. Lista ta znajduje się na stronie 167 i Autor niniejszej recenzji nie wnosi do niej żadnych zastrzeżeń.

Większość z pozycji na tej liście to osiągnięcia będące wynikiem dobrych praktyk inżynierskich Autora - to ciekawe rozwiązania w zakresie projektowania i implementowania systemów cyfrowych. Do najciekawszych z nich, zdaniem recenzenta, należy:

1. Implementacja algorytmu wyszukiwania wzorców z użyciem szybkich dedykowanych pamięci Block SelectRAM+.

2. Opracowanie i porównanie 4 różnych modułów pamięci podręcznej cache, wraz z mechanizmami zarządzania ich zasobami wewnętrznymi.

To bardzo istotne rozwiązania o charakterze praktycznym. Jednak pierwsze dwie pozycje na liście oryginalnych osiągnięć Autora mówią o jeszcze istotniejszych rozwiązaniach o charakterze naukowym. Są to:

1. Opracowanie Autorskiego algorytmu wyszukującego wzorce z symbolami wieloznacznymi, bazującego na algorytmie Aho-Corasick.

2. Wzbogacenie funkcjonalności algorytmu wyszukującego wzorce o analizę pól wieloznacznych występujących na początku analizowanego wzorca adresacji sieciowej.

Każdą z tych pozycji należy - zdaniem recenzenta - uważać za cenny dorobek Autora dysertacji.

5. Czy Autor wykazał umiejętność poprawnego i przekonującego przedstawienia uzyskanych przez siebie wyników /zwięzłość, jasność, poprawność redakcyjna rozprawy/?

Praca pozwala zrozumieć postawiony przez Autora problem oraz sposób jego rozwiązania. Nie jest jednakże wolna od pewnych błędów redakcyjnych.

Poza błędem w nazwie uczelni, z której wywodzi się Autor dysertacji (na tytułowej stronie, brak myślnika pomiędzy słowami „Górniczo-Hutnicza"), zaskakującym jest błąd gramatyczny w samej tezie pracy. Teza ta sugeruje bowiem, że to nie „mechanizmy" ale „wzorce" mają wykorzystywać „pamięci CAM". Podobnie, wspomniane „wzorce" lub „pamięci CAM" a nie „mechanizmy" mają być „wspomagane algorytmem Aho-Corasick". Jak już zostało wspomniane w niniejszej recenzji, recenzent zdaje sobie sprawę jak trudne jest opracowanie zwięzłej i jednoznacznej tezy. W rozprawie doktorskiej jest to jednak sprawa kluczowa i należy jej poświęcić maksimum uwagi. Po wstępnej analizie, którą oczywiście należałoby poprzeć bardziej dogłębnymi badaniami, recenzentowi wydaje się, że tezę recenzowanej pracy można by rozbić na dwie tezy. Pierwsza z nich mogłaby dotyczyć wydajności i elastyczności zmodyfikowanego algorytmu Aho-Corasick a druga poprawy wydajności klasyfikatora wynikającej z zastosowania pamięci CAM. Takie podejście mogłoby nie tylko jeszcze bardziej wzmocnić pracę merytorycznie ale też mogłoby pomóc w uniknięciu problemów językowych przy konstruowaniu jednej ale za to bardzo złożonej tezy.

Co do logicznego podziału pracy, układ rozdziałów przeważnie nie budzi żadnych zastrzeżeń. Drobny, dyskusyjny wyjątek mogą stanowić jedynie:

1. Opis przeprowadzonego przez Autora testu obciążenia serwerów przez systemy zabezpieczeń sieciowych. Test ten jest częścią wprowadzenia do rozdziału 5. choć wydaje się, że zasługuje on na osobny podrozdział.

2. Opis zaproponowanej przez Autora modyfikacji i rozszerzenia algorytmu Aho-Corasick. Adaptacja tego algorytmu stanowi esencję pierwszych dwóch punktów z listy oryginalnych rozwiązań Autora zaprezentowanych w pracy. Natomiast jej opis jest jedynie fragmentem dużego rozdziału 5.3.3, w którym opisane są również znacznie mniej istotne szczegóły implementacyjne całego klasyfikatora.

Jeżeli chodzi o przejrzystość pracy, wydaje się (to kwestia dość subiektywna), że Autor niekiedy zbyt szybko przechodzi od ogółu do szczegółu, przy czym osiągany przez niego stopień szczegółowości wydaje się być czasem zbyt wysoki. Praca nabiera przez to miejscami charakteru dokumentacji technicznej opracowanych przez Autora modułów a nie rozprawy nt. rozważanych przez Autora problemów naukowych. Wydaje się, że na potrzeby dysertacji część szczegółów mogłaby zostać przeniesiona do załącznika a sama praca mogłaby zostać wzbogacona o nieco więcej informacji o charakterze ogólnym, objaśniającym i stopniowo wprowadzającym w omawiane zagadnienia.

Uwaga ta dotyczy głównie rozdziału 5., w którym duże nagromadzenie szczegółowych schematów blokowych i przebiegów czasowych, wraz z ich opisami, przy stosunkowo skromnym wprowadzeniu w ogólną koncepcję systemu, utrudnia nieco percepcję całości wykonanej przez Autora pracy.

Szczególnie niepotrzebne w tym kontekście wydaje się wielokrotne powtarzanie, że:

„Syntezę i implementację przygotowanego modułu, [...], przeprowadzono przy pomocy narzędzi Xilinx ISE Design Suite 10.1 SP3 (ISE10) dla docelowej platformy FPGA Xilnx Virtex II Pro XC2VP30, w konfiguracji xc2vp30ff896-7".

Tę informację wystarczyłoby umieścić we stępie do całego rozdziału zamiast - stosując formalizm godny języka prawniczego najwyższej próby - powtarzać ją dwunastokrotnie.

Z drugiej strony na pochwałę zasługuje precyzyjny opis zamieszczonych przez Autora przebiegów czasowych. Mimo że - jak już zostało wspomniane - przebiegi te mogłyby bez uszczerbku dla jakości pracy trafić do jej załącznika, to sposób w jaki zostały zamieszczone jest godny uwagi i jest dowodem dużego zaangażowania Autora w opis wykonanej przez siebie pracy. Cieszy fakt, że skoro wspomniane przebiegi znalazły się już w zasadniczej części pracy to nie po to by jedynie w łatwy sposób zwiększyć jej objętość, ale po to by wykazać poprawność działania opracowanych modułów, uwypuklając różne aspekty ich funkcjonalności.

Niestety, podobnej dbałości o detale nie widać kiedy spojrzy się na językową spójność pracy. Widać natomiast pewne fluktuacje objawiające się poprawą jakości języka pracy w niektórych jej rozdziałach. Oczywiście, każdą zmianę w dobrym kierunku należy odbierać jako coś dobrego, jednak od rozprawy doktorskiej oczekuje się, że cała będzie napisana tym samym, dobrym stylem i nawet jeśli ten styl fluktuuje w trakcie pisania pracy, to lepsze rozwiązania powinny zostać naniesione na napisane gorzej rozdziały. Pełna lista wykrytych w czasie recenzji błędów jest zamieszczona na końcu pracy. W tym miejscu wymienione będą jedynie dwa przykłady wspomnianej niespójności:

1. W wielu miejscach pracy znaleźć można redundantne odwołania do rysunków, np. na stronie 92 można znaleźć odwołanie: „rysunek Rys. 36, strona 94". Na stronie 126 podobne odwołania wyglądają już znacznie lepiej, np.: „Rys. 46 na stronie 116" (jak widać, w tym drugim przykładzie brak niepotrzebnego słowa „rysunek").

2. Kilkukrotnie można znaleźć w pracy niepoprawne językowo stwierdzenie „istotnym zaznaczenia jest fakt" lub „istotnym podkreślenia jest fakt". Co ciekawe, można też znaleźć poprawne wersje tego zwrotu retorycznego: „istotnym jest fakt" lub „istotnym jest zaznaczenie".

Dwa powyższe przykłady zostały podane głównie po to, by oczywistym się stało, że wspomniana wyżej niespójność językowa dotyczy błędów raczej błahych, dość trudnych do wykrycia przez Autora tak obszernej pracy (należy w tym miejscu podkreślić, że praca liczy niemalże 170 stron plus referencje). Niemniej jednak powyższa uwaga - w intencji recenzenta - powinna skłonić Autora dysertacji do poproszenia kogokolwiek w przyszłości, przy redakcji innej już pracy, o pomoc w jej skorygowaniu pod względem językowym.

Taka korekta pomogłaby przy okazji zapanować nad przecinkami, z którymi Autor ma ewidentne problemy, gdyż nie wstawia ich w miejscach, w których powinny się znaleźć natomiast bardzo często wstawia je tam, gdzie nie powinno ich być i gdzie tylko utrudniają lekturę pracy.

Jeżeli chodzi o formalizm matematyczny, należy przyznać, że praca jest pod tym względem na bardzo dobrym poziomie. Wszystkie wzory są przejrzyście zapisane, dobrze opisane a te ważniejsze dodatkowo odpowiednio ponumerowane. Jedynie reguły przedstawione na stronie 117, 118 i 119 są zapisane w sposób nieco mylący czytelnika. Np. na stronie 119, po lewej stronie znaku „=>" w trzech różnych regułach użyte są te same symbole A, B, C, D. To sytuacja bardzo szczególna ale Autor niniejszej recenzji zakłada, że przykład został tak dobrany, by łatwiej zwizualizować omawiany algorytm. Jednak po prawej stronie znaku „=>", przy symbolach A, B, C, D pojawiają się indeksy, które mogłyby oznaczać, że rozważany jest przykład bliższy rzeczywistości, w którym np. symbole A_0 i A_2 reprezentują dwa zupełnie inne oktety. Z Rys. 50 i Rys. 51 wynika, że tak nie jest i że indeksy oznaczają tylko pozycję oktetu w adresie ale ta jest przecież dostatecznie dobrze określona za pomocą 2-bitowego pola kroku i ten nadmiarowy zapis wprowadza jedynie dezorientację.

Na szczęście wszystkie wspomniane wyżej błędy językowe pracy nie przesłaniają merytorycznych osiągnięć jej Autora a przez to nie mają wpływu na pozytywną ocenę rozprawy jako całości.

6. Jakie są słabe strony rozprawy i jej główne wady?

Największe, choć oczywiście nie dyskredytujące pracy zastrzeżenia można mieć - zdaniem recenzenta - do warstwy redakcyjnej pracy. Pewne treści mogłyby zostać przeniesione do załącznika, inne nieco bardziej rozbudowane. Praca powinna też przejść wstępną korektę językową, by wyeliminować tzw. „literówki", pozostałości po reedycji pewnych fragmentów czy też zwykłe niespójności.

Zdaniem recenzenta (to dość nietypowa uwaga) praca powinna też być znacznie wcześniej zakończona, oddana do recenzji i obroniona, co byłoby możliwe nawet gdyby obejmowała ona tylko część z opisanych w niej aktualnie badań. Owszem, opisane w pracy problemy i rozwiązania są aktualne i ważkie. Niemniej jednak powoływanie się na wyniki osiągnięte za pomocą nierozwijanego już narzędzia Xilinx ISE Design Suite 10.1, dla układu FPGA Xilnx Virtex II Pro, podczas gdy od kilku lat większość inżynierów z branży używa oprogramowania Vivado a na rynku dostępne są już układy z siedmiu kolejnych serii (Virtex-4, Virtex-5, Virtex-6, Virtex-7, Virtex-7 3D, Virtex UltraScale i Virtex UltraScale+), w tak szybko rozwijającej się a przez to bardzo wymagającej dziedzinie techniki, jaką jest elektronika, nie jest dobrze widziane.

To tyle, jeżeli chodzi o zastrzeżenia recenzenta w stosunku do samej dysertacji. Kolejne uwagi to raczej pytania do Autora dysertacji i luźne komentarze o charakterze dyskusyjnym:

1. Oszacowania szybkości działania opracowanych przez Autora modułów oparte są na wyznaczanych w trakcie implementacji tychże modułów ich maksymalnych częstotliwościach

pracy, przy czym wspomniane implementacje nie uwzględniają żadnych odgórnych wymagań czasowych. To dość wygodne i powszechne podejście, kiedy nie chodzi o finalną implementację a jedynie o zgrubne szacunki. Niemniej jednak, poprzez narzucenie odpowiednich wymagań czasowych, ewentualne, drobne modyfikacje w opisie systemu i zastosowanie zaawansowanych strategii syntezy i implementacji niejednokrotnie można uzyskać maksymalną częstotliwość implementowanego systemu znacznie wyższą niż ta wyznaczana bez żadnych ograniczeń. Czy Autor dysertacji przeprowadzał takie próby wymuszenia wyższej częstotliwości pracy niektórych modułów a jeśli tak, to jakie są jego doświadczenia w tej kwestii?

2. Na stronie 168 Autor przyznał, że opracowany przez niego moduł wykorzystał 100% zasobów pamięciowych układu, co miało też wpływ na maksymalną częstotliwość pracy zaprojektowanego rozwiązania. To oczywiście dość częsty problem wielu inżynierów, zwłaszcza jeśli są oni zmuszeni do korzystania z konkretnej platformy sprzętowej i nie mogą sobie pozwolić na zastosowanie większego układu FPGA. Czy tak samo było w przypadku Autora recenzowanej dysertacji? Dlaczego nie oparł on swoich rozważań i estymacji na wynikach implementacji dla - chociażby - ponad dwukrotnie większego układu XC2VP70?

3. Na stronie 117 zaproponowane są dwa typy filtrów adresacji A) i B). Oba typy określane są mianem „prefiksowy". Czy zdaniem Autora dysertacji nie lepiej by było określać typ A) mianem „sufiksowy"?

4. Jako projektant i wykonawca wstępnej implementacji tak złożonego systemu jakim jest opisany w pracy klasyfikator, Autor dysertacji z pewnością rozważał możliwość pójścia krok dalej niż tylko estymacje i symulacje behawioralne i przeprowadzenia testów praktycznych swojego dzieła. Oczywiście, takie testy wymagałaby dużych nakładów czasowych, dając w zamian stosunkowo niewielki wkład w naukową warstwę dysertacji. Niemniej jednak, testy takie mogłyby być dobrym krokiem w kierunku komercjalizacji opracowanych rozwiązań. Jaki jest pogląd Autora dysertacji na tę kwestię? Jakie działania należało by jego zdaniem podjąć by wykonać praktyczne testy opisanego w pracy klasyfikatora? Jakich efektów można by się było spodziewać? Co mogłoby sprawić potencjalne trudności?

7. Jaka jest przydatność rozprawy dla nauk technicznych?

Zagadnienia bezpieczeństwa w sieciach teleinformatycznych nie tracą a wręcz zyskują na znaczeniu. W dobie Internetu Rzeczy i technologii 5G jakikolwiek postęp w tej dziedzinie jest niezmiernie istotny. Zwłaszcza jeśli dotyczy on nie tylko zagadnień czysto implementacyjnych ale również algorytmicznych. Tak jest w przypadku recenzowanej pracy. Zebrane i opisane w niej doświadczenia mogą zostać wykorzystane do budowy nowych, wydajnych i elastycznych, sprzętowych systemów zabezpieczeń typu „firewall", co przy prognozowanym na najbliższe lata natężeniu ruchu sieciowego jest wkładem nie do przecenienia.

8. Ocena końcowa

Rozprawa doktorska mgr inż. Grzegorza Sułkowskiego ma charakter teoretyczno-praktyczny a opisany w niej sposób rozwiązywania stawianych przed nim problemów świadczy o głębokiej wiedzy i umiejętnościach Autora w zakresie projektowania systemów cyfrowych, ze szczególnym uwzględnieniem systemów zabezpieczeń dla sieci teleinformatycznych. Cel rozprawy osiągnięto przy użyciu właściwych metod badawczych.

W konkluzji stwierdzam, że rozprawa doktorska mgr inż. Grzegorza Sułkowskiego pt.: ***„Implementacja mechanizmów wyszukujących wzorce do akceleracji przetwarzania pakietów sieci Ethernet w układach rekonfigurowalnych FPGA"*** spełnia z wyraźnym nadmiarem wymagania Ustawy

o tytule i stopniach naukowych stawiane rozprawom doktorskim. Wnioskuję zatem o dopuszczenie rozprawy do publicznej obrony.

9. Uwagi szczegółowe:

Objaśnienia:

1. Pozycja korygowanego tekstu może być określona w sposób opisowy lub poprzez numer wiersza.
2. Przy wyznaczaniu numeru wiersza pomijane są puste linie oraz tekst na rysunkach i w tabelach.
3. Numery wierszy liczone od dołu strony zapisane są za pomocą liczb ujemnych.
4. Jeżeli korygowany tekst rozciąga się na kilka linii, ich numery rozdzielone są wielokropkiem „..”
5. Alternatywne propozycje korekt rozdzielone są znakiem '/'.
6. Wstawione w tekst przypisy recenzenta ujęte są w nawiasach prostokątnych „[]”.
7. Komentarze recenzenta ujęte są w nawiasach klamrowych „{ }”.

Nr str.	Pozycja	Jest	Powinno być
1	1	Akademia Górniczo Hutnicza	Akademia Górniczo-Hutnicza
6	-2	Automata	Automaton {Dla osiągnięcia spójności z rozszerzeniem skrótu DFA}
10	6	Podstawą działania każdego systemu firewall, są wydajne	Podstawą działania każdego systemu firewall są wydajne
10	12	realizowanych obecnie rozwiązań na drodze programowej	rozwiązań realizowanych obecnie na drodze programowej
12	3	pracy układu Xilinx Vertex II Pro. oraz	pracy układu Xilinx Vertex II Pro oraz
13	12	2.2 Podstawowy algorytmów	2.2 Podstawy algorytmów
14	5	i□{0... N}	i□{0... n}
15	24	przyśpieszenie operacji przeszukiwania od 5 do 10 razy szybciej	przyśpieszenie operacji przeszukiwania od 5 do 10 razy
16	15	w tekście T ze złożoność	w tekście T ze złożonością
18	-2	istotnym zaznaczenia jest fakt	godnym zaznaczenia jest fakt / wartym zaznaczenia jest fakt / istotnym jest fakt
20	13..14	jw.	jw.
26	6	z wykorzystywanym obecne	z wykorzystywanym obecnie
27	-3	musi być niemniejsza	musi być nie mniejsza
28	-8	umożliwił zwiększenia przepustowości	umożliwił zwiększenie przepustowości
28	-2	jest opisany	jest standard opisany / jest opisane [mowa o rozszerzeniu]
28	-1	Standard definiuje	Standard ten definiuje
29	-4	Wartość 0x000 informuje o braku przynależności do sieci VLAN, a jedynie	Wartość 0x000 informuje o braku przynależności do sieci VLAN i określa

		o priorytecie ramki	jedynie priorytet ramki
31	-11	Rysunek Rys. 12 przedstawia	Rys. 12 przedstawia
31	-6	scharakteryzowane na poniższym	scharakteryzowane w poniższym
32	-5..-4	Rysunek Rys. 13 przedstawia	Rys. 13 przedstawia
33	12	Rysunek Rys. 14 przedstawia	Rys. 14 przedstawia
36	-6	Komunikacja pomiędzy stacjami – klientem i serwerem odbywa się	Komunikacja pomiędzy stacjami – klientem i serwerem – odbywa się
36	-2	Klient wysyła do serwera pakietu SYN (SYN = 1) oraz ustawionym polem	Klient wysyła do serwera pakiet SYN (SYN = 1) z ustawionym polem
37	9	Pełną specyfikacja stanów	Pełną specyfikację stanów
38	-8	istotnym z punktu	istotnym z punktu widzenia
40	11	wzrosła o 55% do roku	wzrosła o 55% w stosunku do roku
40	11..12	istotnym zaznaczenia jest fakt	godnym zaznaczenia jest fakt / wartym zaznaczenia jest fakt / istotnym jest fakt
40	13..14	Osobną kwestią na którą	Osobną kwestią, na którą
40	14	ujawnianych na ataki podatności	ujawnianych podatności na ataki
40	17	Jednakże jak zostało to zaznaczone	Jednakże, jak zostało to zaznaczone
40	17	dynamiczny rozwój technologi	dynamiczny rozwój technologii
40	-4	samym tylko roku 2014	w samym tylko roku 2014
41	3	na styku sieć chronionej	na styku sieci chronionej
42	5	, sprzętowych	i sprzętowych
43	18	sprzętowych/pseudo-sprzętowej	sprzętowych/pseudo-sprzętowych
45	14	umożliwia na budowanie	umożliwia budowanie
45	18	wymaga niejednokrotnie zastosowanie	wymaga niejednokrotnie zastosowania
45	-5..-4	Analiza pola danych odbywa się najczęściej na przeszukiwania sygnatury	Analiza pola danych odbywa się najczęściej w czasie wyszukiwania sygnatury
46	-5	funkcjonalności Statyczne filtry	funkcjonalności statycznych filtrów
46	-1	jeden logiczny interfejsy	jeden logiczny interfejs
47	3	Istotnym zaznaczenia jest fakt	godnym zaznaczenia jest fakt / wartym zaznaczenia jest fakt / istotnym jest fakt
47	8	przedstawiono na rysunku Rys. 19	przedstawiono na Rys. 19
47	-8	towarzyszące z nim zagrożenia	towarzyszące mu zagrożenia
49	5	optymalizację czasową, adoptowanego	optymalizację czasową adoptowanego
49	12..13	niezależna od liczby zapisanych w	niezależna od liczby zapisanych słów.
49	13	postaci pamięci CAM/TCAM jako	postaci pamięci CAM/TCAM, jako
50	1	d-wielowymiarowym	d-wymiarowym
50	7	jw.	jw.
51	17	od wygenerowanie standardowego	od wygenerowania standardowego
51	-7	d-wielowymiarowe	d-wymiarowe

51	-3	d-wielowymiarową	d-wymiarową
52	7	d-wielowymiarowych	d-wymiarowych {Na tej samej stronie, w wierszu -1 występuje już forma poprawna tego zapisu.}
52	-13	Węzeł drzewa w, jest	Węzeł drzewa w jest
53	9	jedną pierwszych	jedną z pierwszych
53	13..14	wyszukiwania – podprzestrzeni – (ang. elementary interval), z których	wyszukiwania podprzestrzeni (ang. elementary interval), z których
53	-7	BaboescuF. et al.	Baboescu F. et al.
54	2	nawet to setek	nawet do setek
54	6	od dotychczasowo przedstawianych	od dotychczas przedstawianych
54	13	Otrzymane wynik	Otrzymane wyniki
54	14	stanowią, indeksy	stanowią indeksy
54	17	dla dopasowanej reguł	dla dopasowanej reguły
54	-5	Algorytm P^2C, współbieżnie przeszukuje	Algorytm P^2C współbieżnie przeszukuje
55	6	rozwiązanie, poparte jest	rozwiązanie poparte jest
55	8	zredukowanie problemu	zredukowanie problemów
55	10	obecnych, we wcześniejszych rozwiązaniach	, [problemów] obecnych we wcześniejszych rozwiązaniach
55	-3	priorytecie, zdekomponowanej reguły	priorytecie zdekomponowanej reguły
55	-1	generowani i agregacji	generowania i agregacji
56	-8	Autorzy rozwiązania Tuple Space Search, przedstawili	Autorzy rozwiązania Tuple Space Search przedstawili
56	-5	trasowania ruchu, klasyfikują	trasowania ruchu klasyfikują
56	-1	(ang. tuple purning)	(ang. tuple pruning)
57	16	, stanowi filtr z markerem	stanowi filtr z markerem
58	4	rozwiązania, pozwoliły	rozwiązania pozwoliły
60	-10..-9	(np. 128bity, 192bity, 256 bitów)	(np. 128 bitów, 192 bity, 256 bitów)
60	-4..-3	przedstawiona na rysunkach Rys. 20 (strona 61) i Rys. 21 (strona 62), na których wyszczególniono	przedstawiona na rysunkach: Rys. 20 (strona 61) i Rys. 21 (strona 62), na których wyszczególniono {Ze względu na odwołanie się do dwóch rysunków w zwrocie „na których" warto, by wbrew innym korektom w tym miejscu pozostało słowo „rysunkach" ale wtedy dobrze jest dodać dwukropek.}
64	nagłówek ostatniej kolumny w tabeli 4	Liczba bloków DCMs	Liczba bloków DCM
65	-12	Automata	Automaton {Dla osiągnięcia spójności z

			rozszerzeniem skrótu DFA}
66	13	poszczególne stanu automatu	poszczególne stany automatu
66	14	do porównania i	do porównania - i {Koniec zdania wtrąconego.}
66	-1	pakietu sieciowego, kierowany	pakietu sieciowego kierowany
67	3	1/n	1 bajtu
67	14	architektury wykorzystaniem	architektury z wykorzystaniem
68	-12	w postaci rzędu, 8 bitowych	w postaci rzędu 8 bitowych
68	-11	indywidualnego), połączone	indywidualnego) połączone
68	-10	następnie, do funkcji	następnie do funkcji
68	-7	LUT oraz SRL16 odpowiednio	LUT oraz SRL16, odpowiednio / , odpowiednio: LUT oraz SRL16
68	-6	system bezpieczeństwa, podzielony jest	system bezpieczeństwa podzielony jest
69	2..3	przedstawili wyniki implementacji przedstawionej architektury	przedstawili wyniki implementacji zaprezentowanej architektury
70	3	zawartości pakietów sieciowych,	zawartości pakietów sieciowych
70	5	Podstawę silnika klasyfikatora jest	Podstawą silnika klasyfikatora jest
70	13	liczby transakcji w module TDP-DFA wynikający	liczby transakcji w module TDP-DFA wynikającej [tej liczby]
72	11	opracowali modułu generatora	opracowali moduł generatora
73	14..15	jednoczesne dekodowanie grupy bitów symbolu wejściowego jednocześnie	jednoczesne dekodowanie grupy bitów symbolu wejściowego
73	-11	zestawów reguł sygnatur zagrożeń	zestawów sygnatur zagrożeń
74	8	pakietów sieciowych, wykorzystują	pakietów sieciowych wykorzystują
74	-15	z CAM/TCAM, potwierdzają	z CAM/TCAM potwierdzają
74	-9	zakresów portów, mogą być	zakresów portów mogą być
74	-6	bazujących na NFA, umożliwia	bazujących na NFA umożliwia
74	-4	Rozwiązania NFA, projektowane są	Rozwiązania NFA projektowane są
75	8..9	wykorzystujących DFA, może	wykorzystujących DFA może
75	-15..-14	Osobną grupę systemów, stanowią	Osobną grupę systemów stanowią
76	-13	systemów teleinformatycznych, opierają	systemów teleinformatycznych opierają
76	-11	ilości przesyłanych danych,	ilości przesyłanych danych
76	-4..-3	przeprowadzone przez autora eksperymenty wydajnościowe przeprowadzone na testowych platformach	przeprowadzone przez autora eksperymenty wydajnościowe na testowych platformach
77	15	teście na oprogramowanie	teście oprogramowanie
77	-13	wynik 3.4 Gbps	wynik wynosił 3.4 Gbps
77	-2	testy przeprowadzano	testy przeprowadzano w wyizolowanym środowisku testowym
78	-7	na stronie www, zapewnia	na stronie www zapewnia
81	4	bloków sieciowy PHY	bloków sieciowych PHY

81	9	PYH oraz MAC	PHY oraz MAC
81	14..15	oznaczony na rysunku Rys. 24	oznaczony na Rys. 24
81	17	(ang. routingu)	(ang. routing)
81	-12..-11	stały ustalony rozmiar zdecydowano	stały, ustalony rozmiar, zdecydowano
82	4	przedstawiony na rysunku Rys. 25	przedstawiony na Rys. 25
82	-8	sieciowego, uzasadniony jest	sieciowego uzasadniony jest
82	-6..-5	skutkować może agregacją potencjalnego do przeanalizowania ruchu	skutkować może agregacją ruchu
83	1	5.3.1 Modułu komunikacji	5.3.1 Moduł komunikacji
83	-6	Rysunek Rys. 26 przedstawia	Rys. 26 przedstawia
87	10	ważności nadawanych danych	ważności odebranych danych
99	3	odbieranych, przesyłany	odbieranych, przesyłanych
100	-8	zgłaszane jet poprzez	zgłaszane jest poprzez
100	-4	na rysunku Rys. 40	na Rys. 40
102	5	bloku PAGE_FW, jest	bloku PAGE_FW jest
102	8	strona ma rozmiar 64 bajty	strona ma rozmiar 64 bajtów / strona ma rozmiar 64B
108	15	przetwarzania FW, są modułami	przetwarzania FW są modułami
108	19	fw_write, fw_read	fw_write i fw_read
110	3	na podstawie 6-wymiarowej regule	na podstawie 6-wymiarowej reguły
110	-15	przedstawia w filtr wzorca	przedstawia filtr wzorca
112	6	,fw_protocol – odpowiedzialny	• fw_protocol – odpowiedzialny {Brak kolejnego podpunktu.}
112	9	• fw_cache	{Moduł fw_cache jest wymieniony na liście modułów klasyfikacji cząstkowej, choć takim modułem nie jest. Powinien być opisany osobno.}
116	7	postawionych przez autora tez	postawionej przez autora tezy
116	-11	o możliwość klasyfikacji adresacji IP o mechanizm	o możliwość klasyfikacji adresacji IP za pomocą mechanizmu
117	10	Prefiksowa postaci filtrów	Prefiksowa postać filtrów
117	11	może przyjąć dwie postacie	może przyjąć dwie postaci
119	6	Proces korygowania GO, polega	Proces korygowania funkcji GO polega
119	-6	$00C_0.01D_1.10A_2.11C_3$	$00C_0.01D_1.10A_2.11B_3$
120	Rys. 51	11B	11D {Dotyczy przejścia ze stanu 5 do 8}
122	-13	adresacji sieciowej IP, spełnia	adresacji sieciowej IP spełnia
124	-13	go_function, a także w przypadku	go_function a także, w przypadku
124	-9	odpowiada wysterowanie	odpowiada za wysterowanie
124	-8	wyniki wyszukiwania odpowiadający	wyniki wyszukiwania odpowiadające
125	-17	się, w momencie	się w momencie

126	-10	cache w redukcję czasu	cache w redukcji czasu
126	-1	słuszność założonych przez autora tez i wymagań (strona 79)	słuszność przyjętej przez autora tezy
128	6..7	co przy cyklu zegarowym wynoszącym	co przy latencji wynoszącej
128	10..11	dla rzeczywistej częstotliwości pracy 158MHz i cyklu zegarowego równego	dla częstotliwości pracy 158MHz i latencji równej
130	-16	fw_ports_match, jest linią	fw_ports_match jest linią
132	12	fw_protocol, zaprojektowany został	fw_protocol zaprojektowany został
132	13	mechanizm pamięć DistributedRAM	mechanizm pamięci DistributedRAM
132	13	8 bitowe pole Protocol,	8 bitowe pole Protocol
134	-16	autor przestrzeń adresową użytej	przestrzeń adresową użytej
134	-3	, poprzez synchroniczne do clk,	poprzez, synchroniczne do clk,
136	2	charakteryzuje niewielkim	charakteryzuje się niewielkim
136	11	rysunek Rys. 44 na stronie 109	Rys. 44 na stronie 109
136	14	na rysunku Rys. 46	na Rys. 46 {Patrz: wiersz -8 i -6 na tej samej stronie}
136	15	rozwiązania, jest buforowanie	rozwiązania jest buforowanie
137	2	rysunek Rys. 45 na stronie 110	Rys. 45 na stronie 110
137	3	na rysunku Rys. 58	na Rys. 58
138	-17	2-drożnej pamięć podręcznej	2-drożnej pamięci podręcznej
138	-9	z rysunku Rys. 58 na stronie 137	z Rys. 58 na stronie 137
139	-16	i odpowiedzialną za mechanizm	odpowiedzialną za mechanizm
139	-10	ze względu na organizacje	ze względu na organizację
139	-7	przechowujący 1 bitowy wektor	przechowującym 1 bitowy wektor
141	11	dane linii fw_cache_datain, uzupełniane	dane linii fw_cache_datain uzupełniane
141	-6..-5	na rysunku Rys. 61 na stronie 142	na Rys. 61 na stronie 142 {Patrz np.: wiersz -4 na tej samej stronie}
142	3	(wyszukania) żądanego wzorca dla	(wyszukania) żądanego wzorca, dla
142	-11	czasowym Rys. 60 na stronie 141	czasowym, Rys. 60 na stronie 141
142	-9	danych historycznych, blokuje	danych historycznych blokuje
143	-3	przebieg czasowy Rys. 60	przebieg czasowy na Rys. 60
143	-2	, jest cykliczne nadpisywanie	jest cykliczne nadpisywanie
144	8	VA	{Niewyjaśniony skrót.}
144	12..13	flag VA	{Niezrozumiały zapis.}
145	-16	schemat Rys. 44 na stronie 109	schematy z Rys. 44 na stronie 109
145	-14	Na rysunku Rys. 63 na stronie 146	Na Rys. 63 na stronie 146
145	-3	przebieg czasowy Rys. 63	przebieg czasowy z Rys. 63
147	-9	zasobami wewnętrznym	zasobami wewnętrznymi
147	-1	pamięci cache algorytm	pamięci cache w oparciu o algorytm
149	1..2	informuje o dopasowaniu aktualnie	{Tekst nieadekwatny, skopiowany z

		klasyfikowanych danych do wzorca danych historycznych	poprzedniego podpunktu.}
149	-11	schemat blokowy Rys. 64	schemat blokowy z Rys. 64
150	-8	Istotną różnica pojawia się	Istotna różnica pojawia się
151	2	fw_cache_2_way, przedstawiony	fw_cache_2_way przedstawiony
151	2..3	na rysunku Rys. 66	na Rys. 66
151	3	odpowiada, przedstawionemu	odpowiada przedstawionemu
151	-7	przebiegu czasowym Rys. 62 na stronie 143	przebiegu czasowym (Rys. 62 na stronie 143)
151	-5	przebieg czasowy Rys. 60	przebieg czasowy z Rys. 60
151	-4	schematy Rys. 44	schematy z Rys. 44
151	-1	czasowym Rys. 67 na stronie 152 oraz przebiegu czasowym Rys. 65 na stronie 150	czasowym z Rys. 67 na stronie 152 oraz przebiegu czasowym z Rys. 65 na stronie 150
153	5	podręcznej wykorzystujący	podręcznej, wykorzystujący
153	-7	4-drożnej pamięć podręcznej	4-drożnej pamięci podręcznej
155	4	procedura wyszukiwania wzorców nie różnią się się od wyników	procedura wyszukiwania wzorców nie różni się [ta procedura] się od wyników {Porównywanie procedury z wynikami.}
155	1..5	Ponieważ zaprojektowane rozwiązanie różni się od zaproponowanego na stronie 148 modułu fw_cache o architekturze fw_cache_2_way sposobem organizacji pamięci wewnętrznej oraz polityką zarządzania zasobami wewnętrznymi można założyć, że funkcjonalnie procedura wyszukiwania wzorców nie różnią się od wyników uzyskanych dla fw_cache o architekturze fw_cache_2_way.	{Niezrozumiałe wnioskowanie.}
155	5	Na rysunku Rys. 69 przedstawiony	Na Rys. 69 przedstawiony
156	11..12	od rozwiązań, zaproponowanych wcześniej rozwiązań fw_cache_cam_second_chance, fw_cache_2_way	od zaproponowanych wcześniej rozwiązań fw_cache_cam_second_chance i fw_cache_2_way
156	156	rożni się funkcjonalnie	rożni się on funkcjonalnie
156	-2	rozwiązania, jeden cykl	rozwiązania jeden cykl
157	2..3	schematy Rys. 44 na stronie 109,	schematy z Rys. 44 na stronie 109,
157	5	przebiegi czasowe Rys. 63	przebiegi czasowe z Rys. 63
157	5	Rys. 63 na stronie 146, oraz Rys. 67 na stronie 152	Rys. 63 na stronie 146 oraz Rys. 67 na stronie 152
157	6..7	schematy blokowe Rys. 68	schematy blokowe z Rys. 68
157	12	na przebiegu czasowym Rys. 62	na przebiegu czasowym z Rys. 62

157	14	, i redukuje liczbę	i redukuje liczbę
157	15	schematy Rys. 44	schematy z Rys. 44
158	-7	blokowym Rys. 46 na stronie 111	blokowym z Rys. 46 na stronie 111
159	-4..-3	Należy założyć, że	Można się spodziewać, że / Należy oczekiwać, że
160	6..7	schemacie blokowym Rys. 25 na stronie 82	schemacie blokowym z Rys. 25 na stronie 82
160	11	przedstawiono w tabelach	przedstawiono w tabelach:
160	12	zostały zaprezentowane w tabelach	zostały zaprezentowane w tabelach:
160	6	i implementacji pod względem	i implementacji, pod względem
162	6	jak i oraz względnie	oraz względnie
162	10	rozwiązania (tabele	rozwiązania (tabele: {Tego typu braków dwukropka przed wymienieniem kilku tabel jest znacznie więcej, w niniejszej tabeli ujętych zostało tylko kilka przykładów demonstracyjnych.}
163	8	w stosunku do rozwiązaniach	w stosunku do rozwiązań
163	13	pamięci podręcznej cache cache	pamięci podręcznej cache
163	15	sygnał zegarowy 96,87 MHz	{Skąd się wzięła ta wartość?}
163	17	przebiegach czasowych z rysunku Rys. 72	przebiegach czasowych z Rys. 72 {Poprawne użycie przyimka 'z', niestety, nadmiarowe użycie słowa „rysunku".}
163	-10	188,81ns	185,81ns
168	7	Niestety następstwem przyjętego	Niestety, następstwem przyjętego
169	4	motywują autora kontynuowania	motywują autora do kontynuowania
169	8	implementacji funkcjonalności	implementacja funkcjonalności
169	-7	rozbudowy funkcjonalności	rozbudowa funkcjonalności

Poza wymienionymi uwagami, należy także zwrócić uwagę na inne, nie zawarte w powyższej tabeli problemy redakcyjne, takie jak:

1. Niespójność w zapisie krotności. Np.: na stronie 153 można znaleźć 3 zupełnie różne zapisy: „114 bitowej", „trzy bitowej", „4-drożnej".
2. Niespójność etykietowania rysunków (trzyliterowy skrót „Rys.") i tabel (pełen wyraz „Tabela").
3. Podobna jak w przypadku rysunków niespójność i nadmiarowość w odwołaniach do tabel. Np.: „Tabela 2 na stronie 63", „w tabeli Tabela 25 na stronie 159".

A. Napieralska

---

podpis