

*Prof. dr hab. inż. Marek Gorgoń*  
*Katedra Automatyki i Inżynierii Biomedycznej*  
*Wydział Elektrotechniki, Automatyki,*  
*Informatyki i Inżynierii Biomedycznej*  
*Akademia Górniczo-Hutnicza*  
*Al. Mickiewicza 30*  
*30-059 Kraków*

**RECENZJA ROZPRAWY DOKTORSKIEJ**  
**MGR GRZEGORZA KORCYLA**  
**ZATYTUŁOWANEJ**  
**„A NOVEL DATA ACQUISITION SYSTEM BASED ON FAST OPTICAL LINKS AND**  
**UNIVERSAL READOUT BOARDS”**

Przedmiotem niniejszej recenzji jest rozprawa doktorska zatytułowana „A NOVEL Data Acquisition System Based On Fast Optical Links And Universal Readout Boards”, napisana w roku 2015, której autorem jest mgr Grzegorz Korcyl.

Promotorem pracy jest prof. dr hab. Piotr Salabura z Uniwersyteu Jagiellonskiego w Krakowie. Niniejsza ocena została przygotowana na zlecenie prof. Katarzyny Zakrzewskiej, Prodziekana Wydziału Informatyki Elektroniki i Telekomunikacji Akademii Górniczo-Hutniczej im. St. Staszica w Krakowie, zawarte w piśmie z dnia 25 maja 2015 roku, w związku z decyzją Rady Wydziału WIET z dnia 21 maja 2015 r.

**Omówienie treści rozprawy**

Rozprawa doktorska mgra Grzegorza Korcyła napisana jest w języku angielskim i liczy 114 stron. Tekst rozprawy podzielono na 7 rozdziałów, w tym wstęp (Introduction) i podsumowanie (Conclusion and Outlook), oraz dodano na początku streszczenia w języku polskim i angielskim, a na końcu bibliografię obejmującą 50 pozycji.

We wstępie Autor wskazuje, że zadaniem które sobie postawił, jest przedstawienie strumieniowego systemu przetwarzania danych pracującego w czasie rzeczywistym. Główny cel tworzenia tego systemu związany był z potrzebą zmodernizowania systemów akwizycji, transmisji, przetwarzania i gromadzenia danych w eksperymentach fizyki cząstek elementarnych, w głównej mierze w eksperymencie HADES prowadzonym w niemieckim instytucie GSI Helmholtzzentrum für Schwerionenforschung w Darmstadt (Instytut Badania Ciężkich Jonów).

Doktorant uczestniczył, w niniejszym eksperymencie, wnosząc swój wkład do systemu zbierania i transmisji danych, zbudowanego z modułów wyposażonych w układy reprogramowalne FPGA.

Rozdział 2 poświęcony został zdefiniowaniu podstawowych pojęć związanych z akwizycją danych w eksperymencie z zakresu fizyki cząstek elementarnych.. Omówiona została ogólna architektura systemu akwizycji danych oraz scharakteryzowano zadania poszczególnych podsystemów. Opis w sposób zwięzły i esencjonalny przekazuje zakres

wiedzy niezbędny do zrozumienia istoty prac przedstawionych w dalszych rozdziałach. Autor umiejętnie wskazuje pewne problemy i ograniczenia, które szczegółowo zostaną omówione w kolejnych rozdziałach. Uważna lektura tego rozdziału pozwala czytelnikowi zapoznać się z ramowym przebiegiem eksperymentu, nawet jeśli nie posiada obszernej wiedzy w omawianej tematyce.

W rozdziale 3 Autor krótko scharakteryzował budowę i etapy projektowania konfiguracji układów FPGA, ilustrując rozdział kilkoma przykładowymi układami wiodących producentów oraz przedstawił porównanie wydajności obliczeniowej różnych platform implementacji algorytmów (CPU, GPU, FPGA) na przykładzie implementacji generatora liczb losowych – przytoczone tu dane zostały zaczerpnięte z cytowanej przez Autora obcej publikacji.

W rozdziale 4 przedstawiono architekturę systemu akwizycji danych i wyzwalania (Trigger), wskazując, że jest to zasadniczy cel pracy i osiągnięcie w dorobku Autora. Architektura ta zrealizowana została poprzez implementację konfiguracji układów FPGA w dedykowanych płytach *Trigger Readout Board* (TRB) w wersjach „2” i „3”. Zwrócono uwagę, że przeprowadzone eksperymenty i opracowana aparatura była wynikiem przedsięwzięcia, w którym uczestniczyło wiele osób i instytucji między innymi GSI z siedzibą w Darmstadt i Uniwersytet Jagielloński z Krakowa. Biorąc pod uwagę rozległość eksperymentu oraz sposób realizowania badań we współczesnej fizyce, jest to całkowicie zrozumiałe.

W rozdziale 4 można wskazać dwa główne wątki koncepcyjne: architektura systemu i architektura modułów komunikacyjnych wykonanych w formie modułów FPGA.

Pierwszy z nich, na wyższym poziomie abstrakcji, dotyczy rozważań jak połączyć ze sobą moduły obliczeniowe TRB. W szczególności są prowadzone rozważania na temat odpowiedniej hierarchicznej architektury systemu i podziału zadań pomiędzy dwa wykorzystywane protokoły komunikacyjne: specjalistyczny protokół opracowany dla potrzeb eksperymentów fizyki cząstek TrbNet oraz protokoły Fast Ethernet i Gigabit Ethernet. Celem w tym przypadku jest opracowanie architektury jak najlepiej spełniającej wymagania stawiane w eksperymencie, w głównej mierze redukcję tzw. czasu martwego, który determinuje maksymalną częstotliwość zbierania danych oraz zapewnienie możliwości bezstratnego przetransmitowania danych zgromadzonych w jednym cyklu akwizycji do komputerów odpowiedzialnych za ich analizę i gromadzenie.

Drugi wątek, który można uznać za uszczegółowienie pierwszego, dotyczy opracowania architektury modułów komunikacyjnych, zrealizowanych w formie modułów w układach FPGA. W tym ostatnim przypadku Autor przedstawia architekturę w formie schematów blokowych. Nie zostały przedstawione żadne szczegóły projektowania i realizacji w zasobach układu FPGA.

Pozostałe wątki, dotyczą technicznych kwestii organizacji transmisji w standardzie Gigabit Ethernet (enkapsulacja danych) oraz opracowania oprogramowania dla eksperymentu. Przyczynkiem Autora do budowy oprogramowania użytkownika, o którym wspomina w pracy, jest aplikacja umożliwiająca bezpośredni dostęp do danych z płyt TRB dla użytkowników systemu.

W rozdziale 5 Autor zdecydował się mocniej osadzić rozważania dotyczące architektury systemu akwizycji danych w eksperymencie HADES oraz wskazać inną aplikację – J-PET Scanner (pozytonowa tomografia emisyjna) – do której udało mu się zaadaptować zaproponowaną architekturę złożoną z płyt TRB3 rozbudowaną o "kontroler centralny" oparty na układzie SoC Zynq firmy Xilinx, wyposażonym w zasoby rekonfigurowalne i dwurdzeniowy procesor ARM.

Wartościowym elementem rozdziału piątego jest pokazanie, że złożony i różnorodny eksperyment, jakim jest rejestracja cząstek elementarnych przez detektory o różnych

charakterystykach w eksperymencie HADES, można kontrolować za pomocą wielu modułów sprzętowych FPGA o jednakowej budowie, uzupełnionych jedynie przez sprzętowe interfejsy specjalistyczne (ang. *front-end electronics*) współpracujące z rejestratorami cząstek.

Inne osiągnięcia wzmiankowane w rozdziale to opracowanie konfiguracji układu FPGA dla detektora powierzchniowego (ang. *shower detector*) w eksperymencie HADES oraz współautorstwo patentu dotyczącego systemu akwizycji danych w eksperymencie J-PET Scanner.

Symulację i weryfikację jakościową i ilościową zaproponowanej architektury systemu akwizycji danych omówiono w rozdziale 6. Pierwsza część badań stanowiła eksperyment laboratoryjny, w których generowano i transmitowano dane, symulując warunki eksperymentu. Rozpatrywano maksymalną częstotliwość wyzwalania w systemie i ilość danych transmitowanych w trakcie pojedynczego cyklu pomiarowego w funkcji liczby aktywnych kanałów pomiarowych. Autor zwraca uwagę na elastyczność systemu. Dobierając różne konfiguracje systemów pomiarowych w systemie, można uzyskiwać różne szybkości wyzwalania pomiarów. Autor zwraca też uwagę, że osiągnięcie możliwości transmisji wszystkich danych, z wszystkich kanałów pomiarowych, z możliwie jak największą częstotliwością wyzwalania pomiarów, wymagałoby użycia większej liczby kanałów transmisji Gigabit Ethernet. (Ograniczenie stanowi przepustowość pojedynczego łącza.)

Druga część rozdziału stanowi analizę pracy systemu akwizycji danych w eksperymencie HADES. Autor przekonuje, że stworzony system skutecznie obsługuje prowadzone eksperymenty, ponieważ po pierwsze można odpowiednio konfigurować system uzyskując równowagę pomiędzy liczbą kanałów pomiarowych, a liczbą kanałów transmisji danych (co nazywa segmentacją), a po drugie akwizycja danych w większości detektorów następuje tylko wtedy, gdy zarejestruje się odpowiednio wysoką aktywność cząstek w określonych miejscach detektora (dodatkowo ilość rejestrowanych zdarzeń ograniczona może być przez odpowiednią dyskryminację w części analogowej urządzeń rejestrujących). W większości detektorów, w typowych przypadkach, przepływność strumienia danych jest mniejsza niż przepustowość systemu transmisji.

Ostatnia analiza przedstawiona w tym podrozdziale dotyczy charakterystyki częstotliwości wyzwalania pomiaru w funkcji przepływności danych transmitowanych z detektora powierzchniowego. Detektor powierzchniowy każdorazowo transmituje wszystkie dane z całego obszaru akwizycji, a więc przepływność danych jest stała i, w zależności od ustawień, może przekraczać przepustowość łącza dostępnych w systemie. Autor użył tego przykładu, aby uzasadnić wniosek, że częstotliwość wyzwalania systemu akwizycji w całym eksperymencie (*readout frequency*) ograniczona jest czasem transmisji danych, z detektora, który gromadzi największą ich ilość w trakcie akwizycji (stanowi to wąskie gardło w systemie).

W rozdziale 7 Autor podsumował rozprawę, wskazując, że jej efektem jest architektura systemu akwizycji danych, którą cechuje możliwość rozbudowy i skalowalność. Zwraca uwagę, że dzięki możliwości odpowiedniego konfigurowania układów FPGA, ten sam elektroniczny moduł TRB3, może zostać zastosowany zarówno do bezpośredniej obsługi końcowych punktów pomiarowych jak i jako element systemu transmisji danych (koncentrator sieciowy). Co więcej, moduł TRB-3 sprawdził się również w innej konfiguracji, również opracowanej przez Autora, w eksperymencie ze skanerem J-PET.

### **Teza rozprawy**

Teza rozprawy jest szczegółowa i dość obszerna cyt.:

"Modularny system potokowego przetwarzania danych w czasie rzeczywistym, oparty na uniwersalnej płycie bazowej, dostarczającej podstawową funkcjonalność w zakresie

digitalizacji sygnałów analogowych, komunikacji i integracji z pozostałymi elementami, pozwala na zbudowanie rozproszonych, wysoce skalowalnych oraz elastycznych architektur aplikowalnych do przetwarzania i archiwizacji danych pomiarowych z eksperymentów fizycznych. Metodologia przetwarzania danych w takich systemach wymaga implementacji równoległych algorytmów ekstrahowania cech z danych na szeregu niezależnych strumieniach w celu szybkiej klasyfikacji i filtracji interesujących zdarzeń oraz wprowadzenia nowoczesnych standardów transmisji danych umożliwiających efektywniejszą komunikację pomiędzy elementami systemu oraz archiwizację."

Teza nie została zacytowana w rozprawie, a Autor nie odnosi się wprost do jej realizacji.

W tej sytuacji recenzent postara się, krótko skomentować realizację tezy rozprawy. Pierwsze zdanie zawarte w tezie wydaje się dobrze udowodnione. Co prawda uniwersalna płyta bazowa, zarówno TRB2 jak i TRB3 nie zawiera sama modułów realizujących przetwarzanie analogowo-cyfrowe – jak zasugerowano w tezie – ale nie mniej jednak steruje procesem akwizycji, realizowanym faktycznie przez dołączone do niej płyty pomocnicze (*add-on*). Jest to często stosowany sposób w rozwiązaniach z układami FPGA.

W drugim zdaniu tezy mowa jest o równoległych algorytmach ekstrahowania cech z danych i filtracji interesujących zdarzeń. Należy podkreślić, że praca nie jest nakierowana na rozwijanie algorytmów przetwarzania sygnałów. W przedstawionej rozprawie wątek rozumiany jako filtracja, czy też dyskryminacja danych, jest obecny w podrozdziale 5.1.5.3.2, ale też wzmiankowany w innych miejscach. Wspomniana selekcja danych realizowana jest w połączonych z płytą TRB modułach interfejsów do poszczególnych detektorów (*front-end electronics*).

Ostania część drugiego zdania tezy odnosi się do zapewnienia efektywniejszej komunikacji i archiwizacji. Teza jest w tym miejscu nieprecyzyjna, bowiem nie podano punktu odniesienia dla zamierzonej "efektywniejszej komunikacji". Nie wiadomo więc od czego ma być efektywniejsze proponowane rozwiązanie.

Tym niemniej zagadnienie komunikacji jest bardzo obszernie omawiane w pracy i wszystkie aspekty zostały gruntownie przedyskutowane. To, że zastosowana płyta TRB3 jest efektywniejsza niż TRB2, w sensie przepustowości transmitowanych danych, jest oczywiste i wynika z dokonanej wymiany łącza Fast Ethernet na Gigabit Ethernet na płycie TRB3. Zaslugą Autora było zintegrowanie tego ostatniego w zastosowanym elemencie FPGA.

Pewną dodatkową wartością, stawiającą kropkę nad „i” w kontekście słowa „efektywniejsza”, byłoby pokazanie, jakie korzyści dla eksperymentu fizycznego wyniknęły z zastąpienia płyt TRB2 przez TRB3.

Podsumowując, mimo drobnych uwag i pewnego uchybienia formalnego (brak tezy w treści rozprawy), recenzent uznaje, że teza rozprawy została w pełni udowodniona.

### **Mocne strony rozprawy**

Do niepodważalnych osiągnięć Autora należy zaliczyć:

1. Opracowanie architektury systemu komunikacyjnego na potrzeby transmisji danych w eksperymentach z zakresu fizyki cząstek.

2. Opracowanie architektur poszczególnych modułów systemu, zarówno do obsługi pomiarowych punktów końcowych jak i systemu transmisji danych dla eksperymentów HADES i J-PET.
3. Weryfikacja wyników w eksperymencie laboratoryjnym i dla rzeczywistych danych.

Bardzo wysoko oceniam jakość wyводу przedstawionego w pracy - jak sądzę, procentuje doświadczenie uzyskane przez Autora przy redagowaniu artykułów do czasopism międzynarodowych. Oceniam, że Autor swobodnie posługuje się techniczno-naukowym językiem angielskim.

### Uwagi krytyczne

1. Mimo iż teza pracy i jej cele nie nakierowane były na fazę implementacji – w tym przypadku opracowanie konfiguracji dla układów FPGA – całkowity brak odniesień w rozprawie to tej fazy stanowi pewne zaskoczenie. Autor często podkreśla, że przygotował różnorodne konfiguracje dla układu FPGA. Z dokumentacji przewodu doktorskiego wynika, że część tych konfiguracji opracowana była również w ramach pracy magisterskiej. Szkoda więc, że wątek ten został całkowicie pominięty – mógłby z pewnością zostać przedstawiony krótko w pracy, a szerzej w ewentualnych dodatkach. Ponadto dokonanie analizy tzw. raportów uzyskiwanych po implementacji mogłoby stanowić cenną dokumentację, a nawet wspierać dowód przedstawionych tez. (Przykładowo, analiza rozpraszanej mocy w układzie FPGA mogłaby wykazać oszczędności uzyskane na płycie TRB3 względem TRB2.)
2. Recenzent jest zdania, że używanie angielskiego słowa *firmware* w celu określenia konfiguracji układu FPGA jest niepoprawne. *Firmware* jest co prawda używany do określenia kodu uruchomianego w systemach wbudowanych, lecz określenie to dotyczy kodu powstałego w językach wysokiego poziomu dla mikrokontrolerów. Należy przyznać, że w Internecie spotyka się użycie słowa *firmware* w kontekście konfiguracji układów FPGA, ale jest to pewna nieścisłość, która nie powinna być powtarzana w pracy naukowej, przynajmniej dopóki, dopóty takie znaczenie tego słowa nie zostanie powszechnie zaakceptowane. Alternatywą jest posługiwanie się dobrze ugruntowanym pojęciem „*configuration*” lub zaproponowanym przez Prof. Reinera Harteinsteina pojęciem „*configware*” (wyjątkowo trafnym, ale niestety słabo rozpowszechnionym w literaturze).

### Pytanie

W rozdziale 2.2 Autor wymienia dwa systemy akwizycji danych stosowane w eksperymentach fizyki cząstek LHR oraz PANDA. Czy możliwe jest porównanie przedstawionego w rozprawie systemu z wymienionymi, bądź innymi systemami akwizycji danych, stosowanymi w podobnych eksperymentach – np. pod kątem rodzaju architektury, użytych elementów obliczeniowych, przepustowości, energochłonności lub też innych parametrów? Jak na tym tle wypada system zaproponowany w pracy?

## Uwagi edytorskie

1. W rozdziale 6 sformułowano kilka zależności matematycznych, potrzebnych do ilościowej oceny wielkości transmitowanych danych. Wzory zostały zamieszczone w rozprawie w formie rysunków. Ze względu na naukowy charakter rozprawy wzory powinny być umieszczone i opisane bezpośrednio w tekście rozprawy. Dyskusyjne jest też używanie we wzorach pełnych nazw używanych wielkości, które powinny być zastąpione symbolami. Zwyczajowo numeracja wzorów powinna znajdować się po prawej, a nie po lewej stronie.
2. Wykresy przedstawiające wyniki na rysunkach w rozdziale 6 są mało czytelne. Dobór bardziej rozróżnialnych symboli, a zwłaszcza kolorów dla poszczególnych testów, mógłby poprawić ich czytelność.
3. Czcionki zastosowane na rysunkach 3, 21, 24, 25, 27, 28, 30, 34, 36, 56 mają zbyt mały rozmiar, są nieczytelne lub na granicy czytelności.
4. Autor w pracy posługuje się często skrótami literowymi, niekiedy powtarzającymi się w różnych częściach pracy. Choć to nie jest wymagane, spis skrótów umieszczony na początku rozprawy byłby bardzo pomocny.

## Uwagi językowe

1. Str. 15. jest: *The main problem is the buffering and memory needed for such online processing.*  
propozycja poprawy: *The main problems are buffer size and memory capacity needed for such online processing.*
2. Str. 15. jest: *The trigger mechanism introduces a latency which can result in a dead time...* propozycja poprawy: *The trigger mechanism introduces a latency which can result in increasing of a dead time...*
3. Str. 18. Dwie ostatnie linie, oraz opis rys. 6: jest *create*, powinno być: *crate*.
4. Str. 20. Słowo „*data*” używane jest w większości przypadków w języku angielskim z czasownikami liczby mnogiej, tu wydaje się właściwe „*data are*” i w konsekwencji dalej „*them*”. Poprawnie użycie czasownika w liczbie mnogiej ze słowem *data* znaleźć można np. na str. 48: „*...the data exit the system...*”
5. Str. 20. Jest: *... architecture is based on very fast trigger mechanism,* powinno być: *architecture is based on a very fast trigger mechanism.*
6. Str. 21 i dalej: zalecana pisownia wyrażenia *real time* z kreską: *real-time* (niekiedy używane poprawnie np. str. 57)
7. Str. 27. Jest: *Presented above components...*, powinno być: *The components presented above...*
8. Str. 43 i dalej: użycie wyrażenia *and/or* jest praktykowane w języku technicznym, ale nie powinno być używane w rozprawie naukowej.
9. Str 43. Jest: *in a precise moment of time...*, powinno być *in the precise moment of time...*

10. Str. 43. Jest: *thanks the FPGA*, powinno być: *due to use of FPGA*, podobna uwaga strona 109.
11. Str. 45. Wyrażenie: *At some point, the central controlled issues a readout request command...* – jest niezrozumiałe.
12. Str. 46 i dalej (wielokrotnie ta sama usterka): Jest *80 bit*, powinno być *80-bit*.
13. Str. 46. Jest *in such way*, powinno być *in such a way*.
14. Str. 49. Jest *now-a-day* powinno być *nowadays* lub *now a day*.
15. Str. 63. Jest *...and the latest Xilinx Series 7 members like Kintex and Zynq*, powinno być *...and the latest Xilinx Series 7 members like Kintex and SoC family member Zynq*.
16. Str. 63. Jest: *In most modern FPGAs the SERDES core is an ASIC which is a part of the FPGA fabric, a hardware core*. Powinno być: *In most modern FPGAs the SERDES core is placed in layout format (so called a hardware core) which is a part of the FPGA fabric*.
17. Str. 74. Jest: *has be delivered* powinno być: *has been delivered*.
18. Str. 97. (opis rysunku 46): jest: *for the situation when only one of four endpoints is enabled* proponowana korekta: *in the case when only one of four endpoints is enabled*.

#### **Podsumowanie i konkluzja:**

Zdaniem recenzenta, pomimo przedstawionych w ocenie uwag krytycznych, które mają charakter polemiczny, wobec znacznego dorobku Autora przedstawionego w pracy, **rozprawa spełnia stosowne kryteria określone w Ustawie o stopniach naukowych i tytule naukowym** stawianym pracom na stopień doktora nauk technicznych. Recenzent wnioskuje o dopuszczenie mgr Grzegorz Korcyła do dalszych etapów przewodu doktorskiego, w tym do publicznej obrony pracy.

Kraków, 27 sierpnia 2015.