

Kraków, 20 sierpnia 2019 r.

Marek Skomorowski (prof. dr hab. inż.)
Instytut Informatyki i Matematyki Komputerowej
Uniwersytetu Jagiellońskiego

Recenzja rozprawy doktorskiej

Przedmiotem recenzji jest rozprawa doktorska
Pana mgra inż. **Grzegorza Sulковского** zatytułowana
**„Implementacja mechanizmów wyszukiwujących wzorce do akceleracji przetwarzania
pakietów sieci Ethernet w układach rekonfigurowalnych FPGA”**

Przewód doktorski jest prowadzony na Wydziale Informatyki, Elektroniki i Telekomunikacji (WIEiT) Akademii Górniczo Hutniczej im. Stanisława Staszica w Krakowie (AGH). Recenzja została napisana na zlecenie Dziekana WIEiT AGH, Pana prof. dra hab. inż. Krzysztofa Boryczko (pismo z dnia 21.05.2019 r.).

1. Omówienie ogólne, cel i teza rozprawy

Problematyka recenzowanej rozprawy dotyczy sprzętowej implementacji, za pomocą układów programowalnych FPGA (*Field Programmable Gate Array*), metod wyszukiwania wzorców w pakietach sieci Ethernet i jej zastosowania do zabezpieczenia typu firewall.

Ze względów bezpieczeństwa sieci komputerowe i przesyłane przez nie dane powinny być chronione przed nieupoważnionym dostępem. Jednym z podstawowych rozwiązań do ich ochrony są systemy typu firewall realizowane zarówno programowo (*software firewall*) jak również sprzętowo (*hardware firewall*). Rozprawa dotyczy zatem ważnego, z praktycznego punktu widzenia, obszaru badań prowadzonych w ośrodkach naukowych na świecie.

W rozdziale pierwszym Autor przedstawił motywację i cele podjętych badań, jak również tezę rozprawy. Motywacją było poszukiwanie rozwiązania odciążającego systemy komputerowe od analizy danych przesyłanych za pomocą sieci komputerowych. W tym celu zaproponował sprzętowe podejście, implementowane za pomocą układów PFGA, do wyszukiwania wzorców w pakietach sieci Ethernet i zastosowanie go do zabezpieczenia typu firewall.

Autor sformułował następujące cele badań:

1. Poszukiwanie sposobu implementacji, za pomocą układów FPGA, istniejących metod wyszukiwania wzorców realizowanych programowo.
2. Rozbudowa i optymalizacja realizowanych obecnie rozwiązań programowych i ich integracja z mechanizmami i komponentami sprzętowymi oferowanymi przez układy FPGA. Realizacja tego celu będzie wymagać zrównoleglenia obliczeń wykonywanych dotychczas sekwencyjnie.

